

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-323710

(43)Date of publication of application : 24.11.2000

(51)Int.Cl. H01L 29/78
H01L 21/8238
H01L 27/092
H01L 21/336

(21)Application number : 2000-106267 (71)Applicant : CHARTERED SEMICONDUCTOR
MFG LTD

(22)Date of filing : 07.04.2000 (72)Inventor : PAN YANG
AAJUAN RYU

(30)Priority

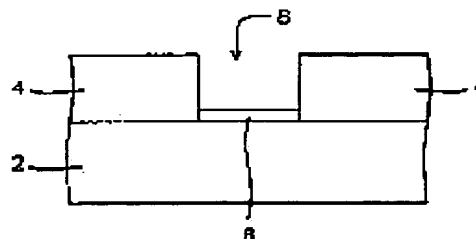
Priority number : 99 307205 Priority date : 07.05.1999 Priority country : US

(54) FABRICATION OF LOW OVERLAP CAPACITANCE INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the gate-drain overlap capacity of a MOS transistor on a semiconductor device by forming a local region of low permittivity oxide in a gate-drain overlap region.

SOLUTION: A low permittivity gate oxide layer 6 of 20-200 μ m thick is formed by CVD similar to that employed in post-process or spin-on method. The low permittivity gate oxide layer 6 may also be formed of a thermal oxide layer and injected with fluorine in order to decrease permittivity of the thermal oxide. Energy level being employed for injecting fluorine is in the range of 20-80 keV. Fluorine injection is normally followed by rapid thermal anneal process, i.e., RTA process. Representative value of permittivity attained through the low permittivity providing process is in the range of 2-3.5.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-323710

(P2000-323710A)

(43) 公開日 平成12年11月24日 (2000. 11. 24)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 G
21/8238		27/08	3 2 1 D
27/092		29/78	3 0 1 L
21/336			

審査請求 未請求 請求項の数29 O L (全 9 頁)

(21) 出願番号 特願2000-106267 (P2000-106267)

(22) 出願日 平成12年4月7日 (2000. 4. 7)

(31) 優先権主張番号 0 9 / 3 0 7 2 0 5

(32) 優先日 平成11年5月7日 (1999. 5. 7)

(33) 優先権主張国 米国 (U S)

(71) 出願人 599093591

チャータード・セミコンダクター・マニュ

ファクチャリング・リミテッド

シンガポール国 738406, ストリート

2, ウッドランズ・インダストリアル・パ
ーク 60

(72) 発明者 ヤン・パン

シンガポール国 591401 バイン・グロー

ヴ ナンバー 02-77, ビーエルケイ 1
ビー

(74) 代理人 100089705

弁理士 社本 一夫 (外5名)

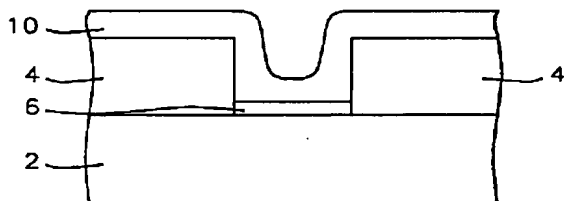
最終頁に続く

(54) 【発明の名称】 低オーバーラップ容量の集積回路の製造方法

(57) 【要約】

【課題】 集積回路装置の製造、特に装置のスイッチング時間を短くするための改良手段としてディープサブミクロンCMOS装置のゲートドレインオーバーラップ容量及びゲートソースオーバーラップ容量を減少するための方法を提供する。

【解決手段】 ゲートドレインオーバーラップ領域及びゲートソースオーバーラップ領域での誘電率Kが、ソースとドレインとの間の比較的中央に配置されたゲート領域に対して低いようにゲート絶縁層を調節する。本発明は、特にディープサブミクロン領域について、このようなオーバーラップ容量を低下するための手段として通常のポスト・ポリシリコンゲート酸化を使用することと関連したプロセス制御の問題点をなくす。



【特許請求の範囲】

【請求項 1】 ゲートードレインオーバーラップ領域に、オーバーラップ容量を減少する目的で、低誘電率 K の酸化物からなる局部的領域を形成するための方法において、(a) 半導体基板上に第 1 酸化物層を形成する工程と、(b) 最終的なゲート領域を画成するため、前記第 1 酸化物層にパターン加工を施し、エッチングを行う工程と、(c) 前記最終的なゲート領域と対応するシリコン表面上に低誘電率 K の薄いゲート酸化物を付着するか或いは低誘電率 K の薄いゲート酸化物を前記表面上で成長させる工程と、(d) 前記第 1 酸化物層内にエッチングによって形成したゲート領域の側壁に一つ又はそれ以上の反転スペーサを形成する工程と、(e) 前記スペーサによって保護されていない前記低誘電率 K のゲート酸化物の部分を除く、これによって下側のシリコン表面を露呈すると同時に前記低誘電率 K のゲート酸化物の局部的領域を前記スペーサの下に残す工程と、(f) 傾斜誘電率を有するゲート酸化物層の形成を完了するため、前記露呈されたシリコン表面上で通常のサーマル・ゲート酸化物を成長させる工程と、(g) ポリシリコンゲート構造の形成を、ソースドレイン接点並びに注入された LDD 領域及び注入された N⁺型ソースドレイン領域の形成とともに行う工程とを含む、方法。

【請求項 2】 前記反転スペーサは、絶縁体、ポリシリコン、又は絶縁体／ポリシリコンの二重層構造を含む、請求項 1 に記載の方法。

【請求項 3】 前記低誘電率 K のゲート酸化物層の厚さは、約 200 Å 乃至 2000 Å である、請求項 1 に記載の方法。

【請求項 4】 前記低誘電率 K のゲート酸化物を、低誘電率 K の誘電体層を付着することによって、又はフッ素をサーマル・ゲート酸化物層に注入することによって形成する、請求項 1 に記載の方法。

【請求項 5】 前記絶縁スペーサは、窒化シリコン又はシリコン・オキシ・ナイトライドからなる群から選択された材料で形成される、請求項 1 に記載の方法。

【請求項 6】 前記サーマル・ゲート酸化物層の厚さは、約 200 Å 乃至 1000 Å である、請求項 1 に記載の方法。

【請求項 7】 ゲートードレインオーバーラップ領域及びゲートソースオーバーラップ領域に、オーバーラップ容量を減少する目的で、低誘電率 K の酸化物からなる局部的領域を有するディープ・サブミクロン・CMOS FET 装置を形成するための方法において、(a) 半導体基板上に第 1 酸化物層を付着する工程と、(b) 最終的なゲート領域を画成するため、前記第 1 酸化物層にパターン加工を施し、エッチングによる除去を行う工程と、(c) 前記最終的なゲート領域と対応するシリコン表面上に誘電率 K が低く、薄いゲート酸化物を付着するか或いは、前記表面上で誘電率 K が低く、薄いゲート酸化

物を成長させる工程と、(d) シリコンナイトライド被覆層を付着し、次いでこのナイトライド層に異方性エッチング・バックを施し、前記第 1 酸化物層内の前記ゲート領域の側壁にナイトライド・スペーサを形成する工程と、(e) 前記ナイトライド・スペーサによって保護されていない前記低誘電率 K のゲート酸化物の部分のエッチングし、これによって下側のシリコン表面を露呈すると同時に前記低誘電率 K のゲート酸化物の局部的領域を前記ナイトライド・スペーサの下に残す工程と、(f) 傾斜誘電率を持つゲート酸化物層の形成を完了するため、前記露呈されたシリコン表面上で通常のサーマル・ゲート酸化物を成長させる工程と、(g) ポリシリコン被覆層を付着させて、ゲート電極を形成する目的で化学的機械研磨プロセス (CMP) プロセスを使用して前記ポリシリコンを研磨する工程と、(h) その後、ソースドレイン接点を、注入 N 型 LDD 領域及び注入 N⁺型ソースドレイン領域とともに形成し、並びに前記ポリシリコンゲート電極のドーピング及びシリサイド化を行う、方法。

20 【請求項 8】 前記ナイトライド・スペーサは、反転シリコンナイトライド・スペーサ及びこれと並置された反転ポリシリコン・スペーサを含む二重層構造である、請求項 7 に記載の方法。

【請求項 9】 前記第 1 絶縁酸化物層の厚さは、約 1000 Å 乃至 4000 Å である、請求項 7 に記載の方法。

【請求項 10】 前記第 1 酸化物層は、CVD 又はサーマル・プロセスによって形成される、請求項 7 に記載の方法。

30 【請求項 11】 前記低誘電率 K のゲート酸化物層の厚さは、約 200 Å 乃至 2000 Å の範囲内にある、請求項 7 に記載の方法。

【請求項 12】 前記低誘電率 K のゲート酸化物層の付着は、CVD、サーマル・プロセス、又はスピン・オン・プロセスによって行われる、請求項 7 に記載の方法。

【請求項 13】 低誘電率 K のゲート酸化物を形成するためのプロセスは、(a) 後の低誘電率 K プロセスで使用されたのと同様の CVD 法、(b) スピン・オン法、又は (c) フッ素イオン注入が続いて行われる通常の酸化物成長により行われる、請求項 7 に記載の方法。

40 【請求項 14】 前記ナイトライド・スペーサを形成するプロセスは、(a) シリコンナイトライドの CVD 層を付着する工程と、(b) 前記ナイトライド層のエッチング・バックするため、異方性プラズマエッチングを使用する工程とを含む、請求項 7 に記載の方法。

50 【請求項 15】 前記二重ナイトライド／ポリシリコン・スペーサを形成するためのプロセスは、(a) シリコンナイトライドの CVD 層を付着する工程と、(b) ポリシリコン被覆層を付着する工程と、(c) 前記ナイトライド層及びポリシリコン層をエッチング・バックするた

め、異方性プラズマエッチングを使用する工程とを含む、請求項 8 に記載の方法。

【請求項 16】 前記ナイトライド層の厚さは、約 200 オングストローム乃至 2000 オングストロームの範囲内にある、請求項 14 に記載の方法。

【請求項 17】 前記 CVD プラズマエッチングは、前記ナイトライド層をエッチング・バックするために使用される、請求項 14 に記載の方法。

【請求項 18】 前記ナイトライド層を異方性エッチング・バックするためのエッチ・ストップ法は、前記ナイトライドと低誘電率 K の誘電体材料との間で選択的にエッチングすることに基づく、請求項 14 に記載の方法。

【請求項 19】 前記ナイトライド・スペーサの代表的な幅は、約 200 オングストローム乃至 2000 オングストロームの範囲内にある、請求項 14 に記載の方法。

【請求項 20】 前記被覆ナイトライド・スペーサによって保護されていない前記低誘電率 K のゲート酸化物部分のエッチングは、プラズマ・エッチング及びこれに続いて行われる湿式エッチングによって行われる、請求項 7 に記載の方法。

【請求項 21】 前記ゲート酸化物の厚さは、約 20 オングストローム乃至 200 オングストロームの範囲内にある、請求項 7 に記載の方法。

【請求項 22】 前記ゲート電極を形成するために使用された前記ポリシリコン層の厚さは、約 1000 オングストローム乃至 4000 オングストロームである、請求項 7 に記載の方法。

【請求項 23】 前記ナイトライド・スペーサの下にある前記ゲート酸化物の前記低誘電率 K の部分についての代表的な誘電率の値は、約 2 乃至 3.5 である、請求項 7 に記載の方法。

【請求項 24】 前記 N 型 LDD 注入のドーズ量は、代表的には、約 $1 \times 10^{13} \text{ atom/cm}^2$ 乃至 $5 \times 10^{14} \text{ atom/cm}^2$ ($1 \times 10^{13} \text{ atom/cm}^2$ 乃至 $5 \times 10^{14} \text{ atom/cm}^2$) である、請求項 7 に記載の方法。

【請求項 25】 前記 N 型 LDD 注入についてのエネルギーの代表的な範囲は、約 20 KeV 乃至 100 KeV である、請求項 7 に記載の方法。

【請求項 26】 前記 N⁺ 型ソースドレイン注入のドーズ量は、代表的には、約 $1 \times 10^{15} \text{ atom/cm}^2$ 乃至 $8 \times 10^{15} \text{ atom/cm}^2$ ($1 \times 10^{15} \text{ atom/cm}^2$ 乃至 $8 \times 10^{15} \text{ atom/cm}^2$) である、請求項 7 に記載の方法。

【請求項 27】 前記 N⁺ 型ソースドレイン注入についてのエネルギーの代表的な範囲は、約 20 KeV 乃至 100 KeV である、請求項 7 に記載の方法。

【請求項 28】 前記二重スペーサのナイトライドの厚さは約 200 オングストローム乃至 2000 オングストロームである、請求項 8 に記載の方法。

【請求項 29】 前記二重スペーサ構造のポリシリコンの厚さは、前記低誘電率 K のゲート誘電体が前記チャ

ネル領域内に横方向に延びる度合いを大きくするように調節される、請求項 8 に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路装置の製造に関し、更に詳細には、ディープ・サブミクロン・CMOS 装置のスイッチング時間を短縮する改良手段として、装置のゲートドレインオーバーラップ容量及びゲートソースオーバーラップ容量を減少するための方法に関する。

【0002】

【従来の技術】更に多くの機能を提供し、これらの機能を実行するための時間が短縮された半導体チップに対する要求が大きくなってきているため、半導体装置の寸法は、更に深くサブミクロン領域に入り込んでいる。装置が小型になると、更に多くの機能的回路を単一のチップに組み込むための更に多くの面積を利用できるということになる。更に、以下に論じるように、装置が小型であるということ自体がスイッチング時間を短縮する上で有利である。代表的な例として CMOS FET 技術を使用した場合、装置の寸法が小さくなると、多くの理由により、スイッチング時間が短くなる。装置がチップ上の所与のノードを一つのロジックレベルから別のロジックレベルに切り換えるためには、装置の有効負荷容量 C_L の充電及び放電を、装置のチャンネル抵抗及び装置の配線抵抗を含む任意の有効抵抗 R_e を通して行わなければならない。従って、基本的回路理論から、スイッチング時間は、 R_e 及び C_L の両方の値が減少するに従って短くなる傾向がある。歴史的には、装置の寸法が小さくなるに従って装置のチャンネル長さが短くなり、装置間の相互接続ラインをますます短くできるために R_e が小さくなる。短い相互接続ライン及びこれらのラインに関連した小さい断面積は、更に、 C_L を減少するのを助ける。更に、PN 接合容量及び小型の装置それ自体から得られる装置の寄生容量値を小さくすることにより、 C_L を更に減少させることができる。従って、一つの世代から次の世代まで、装置の形状が小さくなり続けるために、今日のチップの速度性能において長足の進歩がなされた。しかしながら、装置の寸法がサブミクロン領域に深く入り込むにつれて、このような小型化を適切な速度で続けるための技術的挑戦及び製造上の挑戦が益々先鋭化してきている。これにより、CMOS 技術の連続した世代の各々で、高速度化を益々すすめるための多くの革新的技術が促進されている。1970 年代から、光学的リソグラフィの解像度限界が約 $1.5 \mu\text{m}$ から約 $0.2 \mu\text{m}$ 又はそれ以下に高まった。より短い露光波長、可変開口数の露光レンズ、及び位相シフトマスクといった進歩が、発展に大きく寄与してきた。同様に、サブミクロンフォトリソグラフィ工程中の臨界寸法 (CD) の制御を更に高めるための手段として、反射防止コーティング

が半導体製造プロセスに組み込まれることが益々多くなってきている。更に、装置の速度を、単に装置の大きさを光学的リソグラフィにおける連続した世代での各々の最新CD値まで小型化するだけで得られる速度を越えて高めるための他の技術が開発された。

【0003】チョウ等に賦与された米国特許第5,434,093号は、所与のフォトリソグラフィー画像から得ることができるチャンネル長が最小臨界寸法CDよりも短いFET装置を製造するための手段として、反転スペース(inverted spacer)構造を使用するための方法を教示する。最初に、装置のゲート領域が、フォトリソグラフィーにより、酸化物層中にトレンチとして画成される。次いで、同じ形態の酸化物の第2被覆層を付着し、次いで該第2被覆層に異方性エッチング・バックを施して、これによって、上述のトレンチの側壁に沿って、同じ形態の層の厚味のある部分を、反転スペース構造として残すことができる。反転スペース構造は、上述のトレンチの側壁を、内方に、元々のトレンチの大きさよりもかなり小さい新たな縮小した大きさにまで有効に延長する。次いで、縮小したトレンチを使用し、元々のトレンチよりもかなり小さいポリシリコンゲートを画成する。ポリシリコン・ゲートは、最初にポリシリコン被覆層を付着させた後、化学的機械研磨プロセス即ちCMPプロセスを使用して、上述のトレンチを取り囲む酸化物の上面からポリシリコンを除去することによって形成される。使用されたフォトリソグラフィー技術の最小臨界寸法即ちCDよりも小さい関連したチャンネル長を持つFETゲートが最終的に提供される。

【0004】ウーに賦与された米国特許第5,773,348号は、いかなる世代のフォトリソグラフィー装置によって解像できる最小臨界寸法即ちCD以下のゲート長を持つFET装置を形成するための、チョウ等の方法と幾分類似した方法を教示する。反転スペース構造を、FETゲート電極用の、バンチ・スルー・ストップングイオン注入層及び非晶質シリコン層等の特別追加とともに使用する。次いで、高温アニールによりポリシリコンに変換する。

【0005】ガードナー等に賦与された米国特許第5,786,256号もまた、いかなる世代のフォトリソグラフィー装置によって解像可能な最小臨界寸法即ちCD以下のゲート長を持つFET装置を形成するための、チョウ等の方法と幾分類似した方法を教示する。更に、ゲート電極を形成するために反転スペース構造を使用する。更に、スペースの第2の組を、FET装置を形成するための少量ドーブしたドレイン即ちLDDについてのプロセス順序の部分として使用する。ポリシリコンゲートの形成後、ポリシリコンゲートの僅かに突出した周囲を異方性エッチマスクとして使用することによって、スペースの第1の組の横幅を小さくする。スペースの第1の組の幅を小さくすることによって、LDDイオン注入

をゲートの下に僅かに延ばすのを容易にする。次いで、ソースドレインイオン注入前に、スペースの第2の組を従来の方法でスペースの第1の組の側壁に形成する。

【0006】上述した従来技術は、主として、いかなる世代のフォトリソグラフィー装置では不可能である程にチャンネル長を短くすることによってFET装置のスイッチング時間を短くする方法に関する。しかしながら、上文中に論じたように、装置のスイッチング時間に影響を及ぼす装置の寄生容量等の他の要因がある。従来技術において既に言及されている装置の寄生容量の一つの関連した成分は、ミラー容量 C_m と呼ばれることもある、ゲートドレインオーバーラップ容量 C_{dl} である。 C_{dl} は、FET装置をインバーター回路で作動させた場合の多くでその値が優に倍であるため、特に顕著である。図1は、CMOSインバーター回路を C_{dl} 寄生容量とともに示す。入力ゲート電圧波形を、0Vから $+V_{dd}$ まで急速に上昇する傾斜として示す。出力電圧波形を、これと対応して $+V_{dd}$ から0Vまで急速に低下する波形として示す。従って、ガウスの法則によれば、 C_{dl} の初期蓄積電位は $+C_{dl} \cdot V_{dd}$ であり、 C_{dl} の最終蓄積電位は $-C_{dl} \cdot V_{dd}$ に等しい。従って、 C_{dl} での電位の変化、即ち $2C_{dl} \cdot V_{dd}$ を入力電圧の変化 V_{dd} で除することにより、インバーター回路への有効電気的ゲート入力容量を計算でき、 $2C_{dl}$ の値を得る。従って、負荷容量の有効 C_{eff} 成分は、インバーターのステージを考慮すると、実際に倍である。ミラー容量とも呼ばれる C_{dl} の上述の電気的効果は周知であり、J. Y. チェンの「CMOS装置及びVLSIの技術」(ブレンティスホール社1990年)の第100頁乃至101頁に記載されている。同文献に触れたことにより、その文献に開示されている内容は本明細書中に組入れたものとする。

【0007】ゲートドレインオーバーラップ容量 C_{dl} 並びに C_{dl} の上述の電気的増倍効果は、装置のスイッチング速度に大きな影響を及ぼす。従って、FET装置技術が進化し続けるため、 C_{dl} がスイッチング時間に及ぼす相対的作用を小さくするための一連の革新がこれによって促された。このような革新には、低いチャネル抵抗を維持すると同時に関連した C_{dl} 値を最小にすべくソースドレインの十分なゲートオーバーラップを得るため、ソースドレインイオン注入角度及びゲートスペースを調整することが含まれる。更に、ゲートドレインオーバーラップ領域においてゲート酸化物の厚さを局部的に増大する、傾斜ゲート酸化物(Grade Gate Oxide)プロセス即ちGGOプロセスによって、 C_{dl} を最小にする努力がなされてきた。傾斜ゲート酸化物プロセス即ちGGOプロセスは、例えば、70オングストロームのゲート酸化物をゲートの縁部のところで約250オングストロームにするため、約850℃の湿潤雰囲気を使用することによって行われ

た。ゲートドレインオーバーラップ容量を減少するための上述したプロセスの改良は、S. ウルフの「VLSI Era 用のシリコンの加工」(ラティスプレス社 1995 年)の第 3 巻の第 630 頁乃至 635 頁に記載されている。同文献に触れたことにより、その文献に開示されている内容は本明細書中に組入れたものとする。

【0008】上述の傾斜ゲート酸化物プロセス即ち GGO プロセスを様々に実施することにより、ゲートドレインオーバーラップ容量の減少が補助されたけれども、GGO それ自体が幾つかの問題点を含む。例えば、再酸化によって発生した界面状態により、ホットエレクトロンと関連した不安定性が高まる。更に、GGO プロセスは、特にディープサブミクロン装置について、制御が困難であることが判明している。従って、傾斜ゲート酸化物プロセス即ち GGO プロセスに代わる、現状のディープサブミクロン装置の製作と関連した装置及び製造上の必要性に関して更に適合性の方法が必要とされている。本発明は、誘電率がその厚さと逆に大きく変化する、傾斜ゲート酸化物層を提供することによって、この必要性を解決する。従って、低誘電率 K の酸化物からなる局所的領域をゲートドレインオーバーラップ領域に形成するための革新的方法を以下に説明する。

【0009】

【発明が解決しようとする課題】本発明の主な目的は、半導体基板上の MOS トランジスタのゲートドレインオーバーラップ容量 C_{dl} を減少するための、効果的であり且つ製造可能な方法を提供することである。

【0010】本発明の別の目的は、ゲートドレインオーバーラップ容量及びゲートソースオーバーラップ容量を最小にする改良された手段として傾斜誘電率 (graded dielectric constant) を持つゲート酸化物層を製造するための方法を提供することである。

【0011】本発明の更に別の目的は、ゲートドレインオーバーラップ容量を減少するための、現状の CMOS 技術の装置及び製造上の必要性に関して非常に適合した方法を提供することである。

【0012】本発明の他の主な目的は、特にサブミクロン装置について信頼性及びプロセス制御の問題点を生じ易い望ましくない傾斜ゲート酸化物法即ち GGO 法に頼らずに、ゲートドレインオーバーラップ容量を低下させる目的で、低誘電率 K のゲート酸化物を局所的に形成するための方法を提供することである。

【0013】

【課題を解決するための手段】これらの目的は、傾斜誘電率 K を持つゲート酸化物を有する CMOS FET 装置を形成する方法において、(a) 半導体基板上に酸化物層を形成する工程と、(b) 装置のゲート領域を画成し、エッチングする工程と、(c) ゲート領域に低誘電率 K のゲート酸化物を付着するか或いはこのゲート領域

上で成長させる工程と、(d) ゲート領域の側壁にナイトライド・スペーサ (窒化シリコン・スペーサ) を形成する目的で、シリコンナイトライド被覆層 (窒化シリコン被覆層) を付着させた後、この層に異方性エッチングを施す工程と、(e) ナイトライド・スペーサ (窒化シリコン・スペーサ) によってマスクされたゲート酸化物部分を除く、上述の低誘電率 K のゲート酸化物を除去する工程と、(f) ナイトライド・スペーサ (窒化シリコン・スペーサ) によって保護された状態の領域を除くゲート領域にサーマル・ゲート酸化物を形成する工程と、(g) ポリシリコン被覆層を付着させた後、装置のゲート構造の形成を完了するため、化学的機械研磨即ち CMP を行う工程と、(h) LDD 及び多量にドーピングしたソースドレイン領域を通常の方法で形成した後、ラインプロセスの通常の後工程を完了する工程とを含む、方法によって達成される。

【0014】本発明は、ゲートドレインオーバーラップ容量及びゲートソースオーバーラップ容量を最小にする目的で傾斜ゲート酸化物プロセス即ち GGO プロセスに代わる方法に対する要求を満たす。本発明は、

(1) ホットエレクトロン・ストレス中に信頼性の問題点を引き起こす、ドレイン空乏領域近傍での界面状態をなくす必要性、及び (2) ディープサブミクロン装置の製造と関連した装置及び製造上の必要性に更に適合する傾斜ゲート酸化物構造についての必要性といった問題を扱う。本発明は、誘電率がその厚さと逆に大きく変化する傾斜ゲート酸化物層を提供することによってこれらの問題点を解決する。従って、オーバーラップ容量を減少する目的でゲートドレインオーバーラップ領域中に低誘電率 K の酸化物による局所的領域を形成する工程を含む革新的方法が提供される。

【0015】

【発明の実施の形態】以下の好ましい実施例及び関連した図面は、ゲートドレイン容量及び/又はゲートソース容量を減少するのが望ましい CMOS、又は NMOS、等のいずれかの技術で使用できる N チャンネル装置及び/又は P チャンネル装置の製作に一般的に適用できる方法で提供しようとするものであるということに着目されたい。しかしながら、議論の目的で、N チャンネル装置に関する好ましい実施例を以下に説明する。次に、図 2 を更に詳細に参照すると、この図には、部分的に完成した集積回路の一部が示してある。この図には、従来のイオン注入により N 型ウェル領域又は P 型ウェル領域を形成した半導体基板 2 が示してあり、この基板には、最終的にはディープ・サブミクロン FET 装置が形成される。更に、フォトリソグラフによってパターンが付けられ、前記 FET 装置用の最終的なゲート領域 8 を形成するためにエッチングによる除去を行った酸化物被覆層 4 が示してある。

【0016】図 2 を参照し続ける。この図には、更に、

薄い、低誘電率Kのゲート酸化物層6が示してある。この低誘電率Kのゲート酸化物層6は、200 Å乃至2000 Åの範囲の代表的な厚さを有し、低誘電率Kの後工程又はスピンドン法で使用されたのと同様のCVD法によって形成されている。

【0017】前記低誘電率Kのゲート酸化物層6は、さらに、熱酸化物層によっても形成でき、次いで、この熱酸化物の誘電率を減少する目的で酸化物層にフッ素Fを注入する。前記サーマルゲート酸化物の代表的な厚さは、約200 Å乃至2000 Åであり、通常は、通常の酸化により成長する。前記弗素注入についての代表的なドーズ量の値は、約 $1 \times 10^{15} \text{ atom/cm}^2$ 乃至 $1 \times 10^{17} \text{ atom/cm}^2$ ($1 \times 10^{15} \text{ atom/cm}^2$ 乃至 $1 \times 10^{17} \text{ atom/cm}^2$)である。前記弗素注入について使用されたエネルギーレベルは、代表的には、約20 KeV乃至80 KeVの範囲にある。前記フッ素注入は、通常は、これに次いで行われるラビッド・サーマル・アニールプロセス即ちRTAプロセスによってアニールされる。

【0018】上述の低誘電率K付着プロセスで得られた誘電率Kの代表的な値は、約2乃至3.5である。熱酸化プロセスへの上述のフッ素注入で得られた誘電率Kの代表的な値は、約2.5乃至3.5である。

【0019】次に、特に図3を参照する。この図には、前記酸化物層4のゲート領域8の側壁に沿って反転スペーサを最終的に形成する目的で付着させた同じ形態のシリコンナイトライド被覆層(窒化シリコン被覆層)10が示してある。前記ナイトライド層(窒化シリコン被覆層)10の厚さは、代表的には、200 Å乃至2000 Åの範囲であり、通常は、LPCVD (Low Pressure Chemical Vapor Deposition) によって成長される。

【0020】次に図5を更に詳細に参照すると、この図には、前記シリコンナイトライド被覆層(窒化シリコン被覆層)10に異方性エッチングを加えた結果が示してあり、前記シリコンナイトライド被覆層は、前記酸化物層4の上面から完全に除去されており、並びに前記低誘電率Kのゲート酸化物層6の大部分から除去されている。前記同じ形態のシリコンナイトライド層10は、前記エッチングによる除去を行ったゲート領域8のサイズよりも厚いため、前記ゲート領域8の側壁から完全には除去されないということに着目されたい。従って、前記エッチングによって除去を行ったゲート領域8の側壁に残るシリコンナイトライド層により、反転ナイトライドスペーサ(反転窒化物スペーサ)12が提供される。前記シリコンナイトライド層10の前記異方性プラズマエッチングの終点は、前記反転ナイトライドスペーサ(反転窒化物スペーサ)12によって保護されていない露呈されたゲート酸化物領域14の表面上にあり、前記シリ

コンナイトライド層10の部分が完全に除去されることに着目されたい。更に、前記露呈されたゲート酸化物領域14が、前記異方性プラズマエッチング中に完全に除去されることがないように注意を払わなければならない。これは、その下にあるシリコンが損傷しないようにするためである。これに続いて行われる、前記露呈されたゲート酸化物領域14の完全な除去は、湿式エッチングプロセス工程によって行われる。

10 【0021】更に、前記ナイトライド層12の下にあり、局所的な低誘電率Kの酸化物領域16と呼ばれるゲート酸化物層6の部分が前記異方性エッチング中にエッチングされないということに着目されたい。従って、局所的な低誘電率Kのゲート酸化物領域16は、前記ナイトライドスペーサ12の下に残る。前記ナイトライドスペーサ12の下の前記局所的な低誘電率Kのゲート酸化物領域16が本発明にとって重要である。前記局所的な低誘電率Kのゲート酸化物領域は、最終的には、これに続いて形成されるゲート電極とこれに続いて形成されるソースドレイン領域との間のオーバーラップ容量を減少する結果をもたらす。前記低誘電率Kのゲート酸化物領域16は、前記ナイトライドスペーサ12によって保護されているため、保護されていないゲート酸化物領域14を最終的に完全に除去する際に所定の場所に残ることができる。更に、前記局所的な低誘電率Kのゲート酸化物領域16は、ゲート電極及びソースドレイン領域が形成される前に前記保護されていないゲート領域14で行われる通常のサーマルゲート酸化物の最終的な成長中に、良好に保護される。

30 【0022】通常は、前記ナイトライドスペーサ12によって保護された低誘電率Kの誘電体部分だけを残すことができるのが望ましいけれども、前記低誘電率Kの誘電体を横方向に大きく延ばすことができるのが望ましい場合がある。このような場合には、図3及び図5に示す上文中に説明した工程の代わりに、図4及び図6に示す、以下に説明する工程を使用する別の好ましい実施例を使用するのが望ましい。

40 【0023】次に、上文中に説明した図3の構造に対する別の好ましい実施例として図4を更に詳細に参照すると、この図には、同じ形態のシリコンナイトライド被覆層10、及び別のポリシリコン被覆層11が示してある。これらの層は、最終的に前記酸化物層4の前記ゲート領域8の側壁に沿って二重反転スペーサを形成する目的で付着させてある。前記ナイトライド層10の厚さは、最終的には200 Å乃至2000 Åの範囲であり、通常は、LPCVD (Low Pressure Chemical Vapor Deposition) によって成長される。前記ポリシリコン層11の厚さは、前記低誘電率Kの誘電体をチャンネル領域内に横方向に延ばす
50 所望の増大の程度に従って調節される。

【0024】次に、上文中に説明した図5の構造に対する別の好ましい実施例として図6を更に詳細に参照すると、この図は、前記ナイトライド層10及び前記ポリシリコン層11に異方性エッチングを加え、これらの層を前記酸化物層4の上面から、並びに前記低誘電率Kのゲート酸化物層6の大部分から完全に除去した結果を示す。前記同じ形態のナイトライド層10及びポリシリコン層11の厚さが、前記エッチングによって除去したゲート領域8よりもかなり大きい場合、前記ゲート領域8の側壁から完全には除去されないということに着目されたい。従って、前記エッチングによって除去したゲート領域8の側壁に残るナイトライド及びポリシリコンにより反転ナイトライドスペーサ12及び反転ポリシリコンスペーサ13が形成される。前記異方性プラズマエッチングの終了時に、ナイトライド/ポリシリコンの二重スペーサ12及び13によって保護されていない、露呈したゲート酸化物領域14の表面上に、残る前記ナイトライド層10及びポリシリコン層11の部分が完全に除去されることが補償されるように設計されているということに着目されたい。更に、酸化物層の下にシリコンが損傷しないようにするため、前記異方性プラズマエッチング中に前記露呈されたゲート酸化物層14が完全には除去されないように注意を払わなければならない。次いで、前記露呈されたゲート酸化物層14の完全な除去を湿式エッチングプロセス工程で行う。上文中に説明したように、前記ナイトライド/ポリシリコンの二重のスペーサ12及び13の下にある前記保護された局所的なゲート酸化物領域16は、前記異方性エッチング中、エッチング作用が加わらない。従って、局所的な低誘電率Kのゲート酸化物領域16が前記ナイトライド/ポリシリコンスペーサ12、13の下に残る。図3及び図5に示す好ましい実施例と同様に、前記ナイトライド/ポリシリコンスペーサ12、13の下に局所的な低誘電率Kのゲート酸化物領域16が形成されることが本発明にとって重要である。前記局所的な低誘電率Kのゲート酸化物領域により、最終的には、続いて形成されるゲート電極と続いて形成されるソースドレイン領域との間のオーバーラップ容量が減少する。前記低誘電率Kのゲート酸化物領域16は、前記ナイトライド/ポリシリコンスペーサ12及び13によって保護されているため、保護されていないゲート酸化物領域16を最終的に完全に除去する際に所定位置に残ることができる。前記局所的な低誘電率Kのゲート酸化物領域16は、更に、前記ゲート電極及び前記ソースドレイン領域が形成される前、保護されていないゲート領域14での通常のサーマルゲート酸化物の最終的な成長中、良好に保護される。

【0025】図4及び図6に示す上掲の別の好ましい実施例に関し、厚さの値及び前記ナイトライド/ポリシリコンスペーサについての関連したエッチング状態を適当に調節することによって、通常のサーマルゲート酸化物

の前記最終的な成長の前に低誘電率Kの誘電体をゲート領域にどれ程残すのかを更に容易に決定できる。更に、熱酸化物の前記最終的な成長後、前記ナイトライド/ポリシリコンスペーサの前記ポリシリコン部分が選択的プラズマエッチング工程によって除去されるということに着目されたい。

【0026】議論の目的のため、好ましい実施例の説明を図1、図2、図3、及び図5の好ましい実施例から続ける。しかしながら、当業者は、好ましい実施例の以下の説明を図1、図2、図4、及び図6の別の好ましい実施例から続けることもできる。

【0027】次に、図7を更に詳細に説明すると、前記ナイトライドスペーサ12によって保護されていない図5の前記露呈したゲート領域14において通常のサーマルゲート酸化物18を成長させる。前記サーマルゲート酸化物の厚さは、代表的には、約200Å（約2000Å）乃至1000Å（約10000Å）の範囲内にあり、通常は、熱酸化によって成長する。図5を参照し続ける。次いで、最終的にゲート電極を形成するため、ポリシリコン被覆層20を付着する。前記ポリシリコン被覆層20の厚さは、代表的には、1000Å（約10000Å）乃至4000Å（約40000Å）であり、通常は、LPCVDによって成長される。

【0028】次に図8を更に詳細に参照すると、化学的機械研磨工程即ちCMPを使用し、前記酸化物層4の表面上にある前記ポリシリコン層20の部分を除去する。前記ゲート領域8の残りのポリシリコンは、ポリシリコンゲート電極22に形成される。

【0029】次に図9を更に詳細に参照すると、この図には、図8の構造の前記N型チャネル装置を完成するためにこれに続いて行われる従来のプロセスの結果が示してある。この図には、N型チャネル用の従来のソースドレイン接触領域24を形成した結果、並びに従来のLDD領域26をN⁺型ソースドレイン領域28とともに形成した結果が示してある。

【0030】これで本発明の目的が達成された。ゲートドレインオーバーラップ容量及びゲートソースオーバーラップ容量を最小にする目的において傾斜ゲート酸化物プロセス即ちGGOプロセスに対する改良された変更が提供された。GGOプロセスと関連した上文中に説明した問題点は、誘電率が厚さとは逆に大幅に変化する傾斜ゲート酸化物層を提供する本発明によって解消された。従って、オーバーラップ容量を減少する目的で低誘電率Kの酸化物でできた前記局所的領域16をゲートドレインオーバーラップ領域に形成する工程を含む革新的な方法が提供された。

【0031】本発明をその好ましい実施例を参照して特定的に示し且つ説明したが、当業者は、本発明の精神及び範囲から逸脱することなく、形態及び詳細について様々な変更を行うことができるということは理解されよ

う。

【図面の簡単な説明】

【図１】ゲートードレインオーバーラップ容量の効果的な電気的挙動に関する従来技術を説明するためのＣＭＯＳインバーター回路の概略図である。

【図２】本発明のプロセスの好ましい実施例を示す概略断面図である。

【図3】本発明のプロセスの好ましい実施例を示す概略断面図である。

【図４】本発明のプロセスの好ましい実施例を示す概略断面図である。

【図5】本発明のプロセスの好ましい実施例を示す概略断面図である。

【図6】本発明のプロセスの好ましい実施例を示す概略*

* 断面図である。

【図 7】本発明のプロセスの好ましい実施例を示す概略断面図である。

【図 8】本発明のプロセスの好ましい実施例を示す概略断面図である。

【図 9】本発明のプロセスの好ましい実施例を示す概略断面図である。

【符号の説明】

2 半導體基板

4 酸化物層

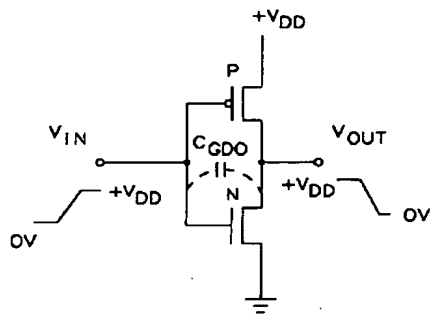
6 低Kゲート酸化物層

8 ゲート領域

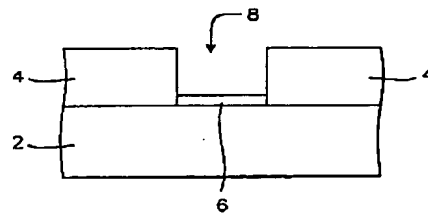
10 シリコンナイトライド層

11 ポリシリコン層

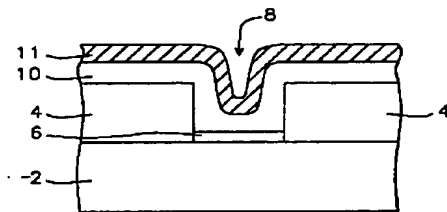
【図 1】



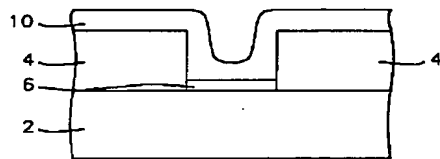
【図2】



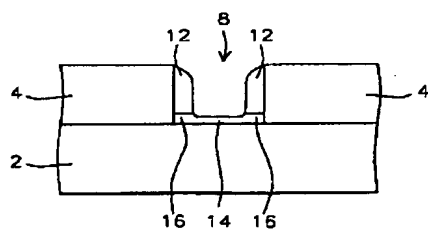
【図4】



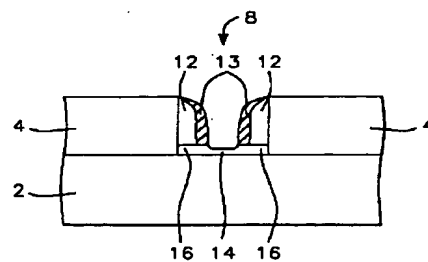
【図3】



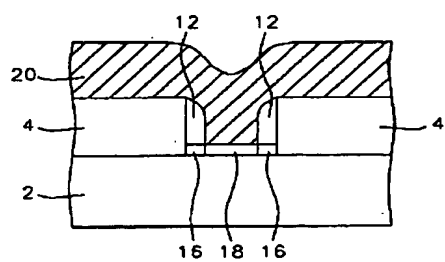
【図5】



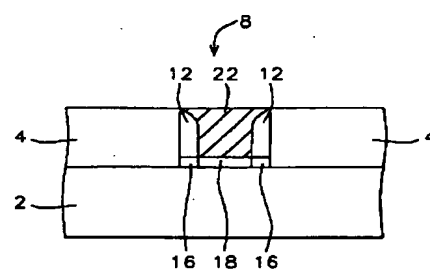
【圖6】



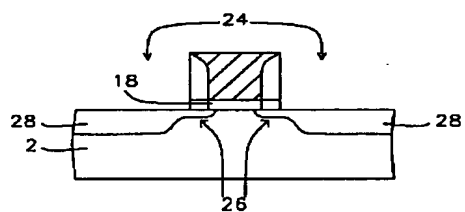
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 アージュアン・リュウ
 シンガポール国 591401 チャオ・チュ
 ー・カン・セントラル ナンバー06-47,
 ビーエルケイ 236